

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-124824

(43)Date of publication of application : 17.05.1989

(51)Int.Cl. G02F 1/133
H01L 27/12
H01L 29/78

(21)Application number : 62-283932

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 10.11.1987

(72)Inventor : MATSUMOTO HIROSHI

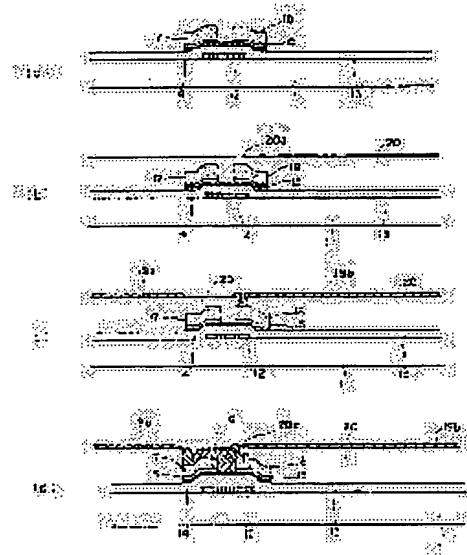
(54) PRODUCTION OF THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To decrease processes for production and to improve yield by forming picture element electrodes on a transparent insulating film, then dyeing a part of the transparent insulating film with the formed picture element electrode as a mask, thereby forming the light shielding part of a thin-film transistor.

CONSTITUTION: A gate electrode 12, the insulating film 14, and semiconductor films 14, 15 are laminated on a substrate 11. Further, a conductive material is deposited and patterned to form a channel part consisting of a drain electrode 17 and a source electrode 18. The dyeable transparent insulating film 20 provided with a contact hole 20a is formed thereon. The transparent conductive material is deposited on the film 20 and the hole 20a and the conductive film part in the upper direction of the channel part is removed and is separated to the picture element electrodes 19a, 19b.

The substrate 11 is thereafter immersed in a dyeing liquid and part of the exposed film 20 is dyed by a black coating compd., by which the light shielding part 16 is formed. The processes for production are thereby decreased and the yield is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平1-124824

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)5月17日
 G 02 F 1/133 3 2 7 7370-2H
 H 01 L 27/12 A-7514-5F
 29/78 3 1 1 A-7925-5F 審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 昭62-283932

⑰ 出 願 昭62(1987)11月10日

⑱ 発 明 者 松 本 広 東京都八王子市石川町2951番地の5 カシオ計算機株式会社
 社八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 阪本 紀康

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

透明基板上に少なくともゲート電極、ゲート絶縁膜、半導体膜を順次形成する第1の工程と、前記半導体膜上にドレイン電極及びソース電極を形成して、これらドレイン電極及びソース電極間の前記半導体膜にチャンネル部を形成する第2の工程と、前記ドレイン電極、ソース電極及びチャンネル部上に前記ソース電極のコンタクトホールを設けた染色可能な透明絶縁膜を形成する第3の工程と、前記透明絶縁膜上に透明導電膜を形成する第4の工程と、少なくとも前記チャンネル部の上方向に位置する前記透明導電膜の部分を除去する第5の工程と、前記透明導電膜が除去された前記透明絶縁膜の部分を染色する第6の工程とを有することを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、アクティブマトリクス型の液晶表示

素子に用いられる薄膜トランジスタの製造方法に関するものである。

(従 来 技 術)

液晶テレビ等に使用される液晶表示装置としては、高コントラスト及び高時分割駆動が要求されるため、アクティブマトリクス型を用いることが提案されている。このアクティブマトリクス型の液晶表示装置は、透明電極およびこの透明電極に接続されたスイッチング素子をマトリクス状に複数配列した基板と、この基板に配列された複数の透明電極に対向する他方の透明電極を設けた対向基板と、およびこれらの基板間に封入された液晶とを備えている。そして、前記スイッチング素子として、薄膜トランジスタを用いることが提案されている。

ところで、従来、アクティブマトリクス型の液晶表示装置に用いられる薄膜トランジスタは、半導体部に照射される光線によってオフ抵抗が低下するのを防止するために、前記半導体部を遮光する遮光部材が設けられている。この遮光部材を備

えた薄膜トランジスタは、第4図の断面図に示すように構成されている。即ち、基板1に形成されたゲート電極2の上に、ゲート絶縁層3を介してアモルファスシリコンよりなる半導体膜4が形成され、この半導体膜4上にリン(P)がドーピングされた n^+ アモルファスシリコン膜5が堆積され、さらにドレイン電極6及びソース電極7が形成され、これらによって1つの薄膜トランジスタの主要部を構成している。そして、この薄膜トランジスタの主要部上には透明絶縁膜8が積層され、さらにこの透明絶縁膜8のソース電極7上にはコンタクトホール8aが形成されている。そして、前記透明絶縁膜8上には、コンタクトホール8a内でソース電極と接続された画素電極9が形成されている。

更に、ソース電極7とドレイン電極6との間の半導体膜4の部分(以下チャンネル部という。)の上部に遮光膜が形成されている。そして、上述の様な従来の薄膜トランジスタの遮光膜は、薄膜トランジスタの主要部及び画素電極9を形成した後

に、更に、感光性を持った染色可能な樹脂膜を被着させ、この樹脂膜に、マスクを用いた露光、現像処理を行い、パターニングし、このパターニングされた樹脂膜を染色するという工程によって形成されていた。

(従来技術の問題点)

しかしながら、従来の薄膜トランジスタの製造方法では遮光膜を形成するために、マスクを用いて樹脂膜をパターニングするので製造工程が増える。また樹脂膜をフォトマスクを用いて露光、現像処理することによってパターニングするので、このためマスクの位置決め誤差、及びエッチング精度の影響により高精度のパターニングが困難であり、そのパターニングは $2\mu\text{m}$ 程度の誤差を生じる。例えば、前記樹脂膜端部を垂直にエッチングすることはできず第4図に示すように薄膜トランジスタの端部よりも画素電極9の縁を $2\mu\text{m}$ 程度被った状態で形成される。このため、実質的に画素の面積が小さくなる。

(発明の目的)

本発明は上記従来の決定に鑑み、製造工程が少なく且つ製造効率の高い薄膜トランジスタの製造方法を提供することを目的とする。

(発明の要点)

本発明は上記目的を達成するために、薄膜トランジスタの主要部の形成後、この薄膜トランジスタの主要部上に染色可能な透明絶縁膜を形成し、この透明絶縁膜の上面に画素電極をパターニングし、さらにこのパターニングされた画素電極をマスクとして使用し、前記薄膜トランジスタの主要部の少なくともチャンネル部の上方向に位置する前記透明導電膜が除去された前記透明絶縁膜の部分を染色する工程からなることを要点とするものである。

(第1の実施例)

以下本発明の実施例について図面を参照しながら詳述する。

この発明により製造された薄膜トランジスタは、薄膜を順次積層して形成された薄膜トランジスタの主要部と、その上に形成された遮光膜とからな

っており、その第1の実施例の具体的な構成を第1図の断面図に示す。

同図において、ガラス基板11上にはゲート電極12が形成され、このゲート電極12を被って膜厚が約 3000\AA の窒化シリコンからなるゲート絶縁膜13が積層されている。更にゲート絶縁膜13上の前記ゲート電極12に対応する位置に、アモルファスシリコンからなる半導体膜14が積層形成されている。この半導体膜14上には、リン(P)がドーピングされた n^+ 型のアモルファスシリコン膜15、ドレイン電極17が順次堆積されたドレイン側形成部と、 n^+ 型のアモルファスシリコン膜15、ソース電極18が順次堆積されたソース側形成部とが形成されている。また、この薄膜トランジスタの主要部及び基板11上には染色可能な透明絶縁膜20が形成され、この透明絶縁膜20上には画素電極19a、19bが形成されている。この画素電極19a、19bは透明絶縁膜20に形成されたコンタクトホール20a内でソース電極18と接続されている。

更に、前記薄膜トランジスタの主要部のソース電極18とドレイン電極17との間の半導体膜14にチャンネル部を形成しており、同図において、このチャンネル部と、前記ドレイン電極17の上方向の透明絶縁膜20は、黒色染料によって染色されて遮光部を形成している。この遮光部の厚さは、その最も薄い部分でも1 μ m以上の厚さで形成されている。

次に、上述の薄膜トランジスタの製造方法について説明する。

第2図(a)~(d)は上述の薄膜トランジスタの製造工程を示す図である。なお、上述の第1図に対応する部分は同一符号を記す。

まず、第2図(a)に示すようにガラス、石英等からなる基板11上に真空蒸着法、又はスパッタリング法等を用いてアルミニウム(A ℓ)、モリブデン(Mo)、クロム(Cr)等の電極配線材料を膜厚2000Å以上堆積し、その後フォトリソグラフィ法によりパターン形成し、パターン幅が10 μ m程度のゲート電極12を形成する。次に、窒

化シリコンのゲート絶縁膜13をスパッタリング法あるいはプラズマCVD法等により基板11及び上述のゲート電極12を覆うように形成する。その後、アモルファスシリコンからなる半導体層14及びn⁺アモルファスシリコン膜15をそれぞれプラズマCVD法によりゲート絶縁膜13上に連続して堆積しゲート電極12の上方向及びその近辺だけを覆うようにフォトリソグラフィ法を用いてパターニングする。更にスパッタリング法によりn⁺アモルファスシリコン膜15及びゲート絶縁膜13を覆うようにアルミニウム(A ℓ)、クロム(Cr)等の導電性材料を堆積する。その後、フォトリソグラフィ法により上記導電性材料をパターニングして、ドレイン電極17、ソース電極18を形成する。そして、このドレイン電極17、ソース電極18をマスクとしてn⁺アモルファスシリコン膜15をエッチングし、チャンネル部を形成する。次に、以上のようにして形成した薄膜トランジスタの主要部上に同図(a)に示すように無機又は有機の透明物質、例えばアクリル

等の染色可能な高分子絶縁材料を塗布し熱処理によって重合させることにより透明絶縁膜20を形成する。この透明絶縁膜20の堆積される厚さは最も薄いドレイン電極17、及びソース電極18上でも1 μ m以上の厚さに堆積される。その後、フォトリソグラフィ法等によりソース電極18上の透明絶縁膜20にコンタクトホール20aを形成する。

次に同図(b)に示すように、透明導電材料をスパッタリング法によりコンタクトホール20a内および透明絶縁膜20上に堆積し、その後、フォトリソグラフィ法によりパターニングする。すなわち、透明導電材料は透明絶縁膜20に遮光部を形成する部分及び各画素電極19a、19bの周縁に沿った部分が除去され、個々の画素電極19a、19bに分離される。この際、透明導電材料は、薄膜トランジスタの主要部の半導体膜14のチャンネル部の上方向に位置する透明絶縁膜20の部分、又は前記半導体膜14のチャンネル部及びこのチャンネル幅方向に延長された半導

体膜14のソース電極18、ドレイン電極17が積層されない部分の上方向に位置する前記透明絶縁膜20の部分が除去される。このようにして、透明絶縁膜20の遮光部を形成するための部分は、その表面が露出される。

その後、上述のように順次薄膜が積層された基板11を黒色染料0.5重量%と酢酸を混合した70℃の染色液に10分間浸漬する。この工程により、露出している透明絶縁膜20の一部は、黒色染料によって染色され同図(c)に示すように、透明絶縁膜20内の一部分に遮光部となる部分が形成される。その後、上述の基板11を水洗し、25℃のクエン酸1wt%、酒石酸アンチモンカルリウム1wt%の溶液に10分間浸漬して、防染処理を施す。最後に基板11の表面を水洗して、100℃で約30分間乾燥する。

以上のようにして形成された遮光部16はその最も薄い部分でも1 μ m以上の厚さに形成されており、波長が400nm~800nmの可視光を99%以上吸収する。

以上詳細に説明したように、従来の薄膜トランジスタは、その最上面に遮光膜が形成されるのに対して、本実施例によって製造される薄膜トランジスタは、透明絶縁膜上に画素電極を形成した後、この画素電極をマスクとして前記透明絶縁膜の一部を染色することによって、遮光部が形成される。従って、遮光膜を形成するためのパターニング工程がないので工程数が減少し、また、マスクの位置合わせ誤差及び感光性樹脂の低いエッチング精度の影響により遮光膜の端部が画素電極を被い、画素の面積を小さくすることもない。

(第2の実施例)

第3図は、本発明に基づく第2の実施例によって製造された薄膜トランジスタの断面図である。同図において、薄膜トランジスタの主要部の製造工程は上述の第2図(a)の製造工程と同じであるのでこの説明は省略する。また第1図及び第2図(a)と同じ薄膜、及び電極については同一番号を付す。

本実施例では上述の第2図(a)の工程により薄膜トランジスタ形成後、先ず無根の透明絶縁材料を

プラズマCVD法等により堆積し、透明絶縁膜22を形成する。その後、染色可能な透明絶縁材料としてアクリル樹脂等を1 μ m以上の厚さに塗布、焼成し、透明絶縁膜23を形成する。更にソース電極18上にコンタクトホール20aを形成するため、フォトリソグラフィにより上述の透明絶縁膜22、23にエッチングを行う。その後、透明導電材料をスパッタリング法等によりコンタクトホール20a内及び透明絶縁膜23上に堆積し、フォトリソグラフィ法によりパターニングする。この際透明導電材料は前述した第1の実施例と同様に個々の画素電極24a、24bに分離される。このパターニングにより、透明導電材料は薄膜トランジスタの主要部の少なくともチャンネル部の上面部分が除去され、透明絶縁膜の遮光部を形成するための部分が露出する。次に第1の実施例と同様に順次薄膜が積層された基板11を黒色染料0.5重量%と酢酸を混合した70℃の染色液に10分間浸漬し、露出している透明絶縁膜23の一部分を染色する。その後、上述の基板11を

水洗し、前述と同様に10分間防染処理することによって透明絶縁膜23の露出している部分には黒色に染色された遮光部25が形成される。

上述した第2の実施例に示す製造工程により遮光部25を形成する場合には前述の第1の実施例の場合と異なり、半導体層14と染色された遮光部25とが接しないため、黒色染料中に含まれる重金塩類等が半導体層14内に不純物として侵入することがない。また、この第2の実施例の場合にも遮光部25は染色された黒色染料により可視光を充分(99%以上)吸収する。

(発明の効果)

以上述べたように、本発明は、薄膜トランジスタの遮光部を、透明絶縁膜上に画素電極を形成した後、この画素電極をマスクとして前記透明絶縁膜の一部を染色することによって形成している。従って、従来の製造方法のように遮光膜をパターニングすることがないので製造工程が減少し、歩留りが向上する。またパターニングの誤差により画素電極の面積が小さくならず、画素電極を有効

に使用できる。

4. 図面の簡単な説明

第1図は第1の実施例により製造された薄膜トランジスタの断面図、

第2図(a)～(d)は第1の実施例の薄膜トランジスタの製造工程図、

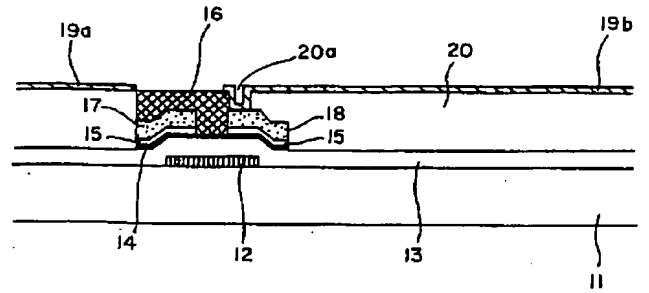
第3図は第2の実施例により製造された薄膜トランジスタの断面図、

第4図は従来の薄膜トランジスタの断面図である。

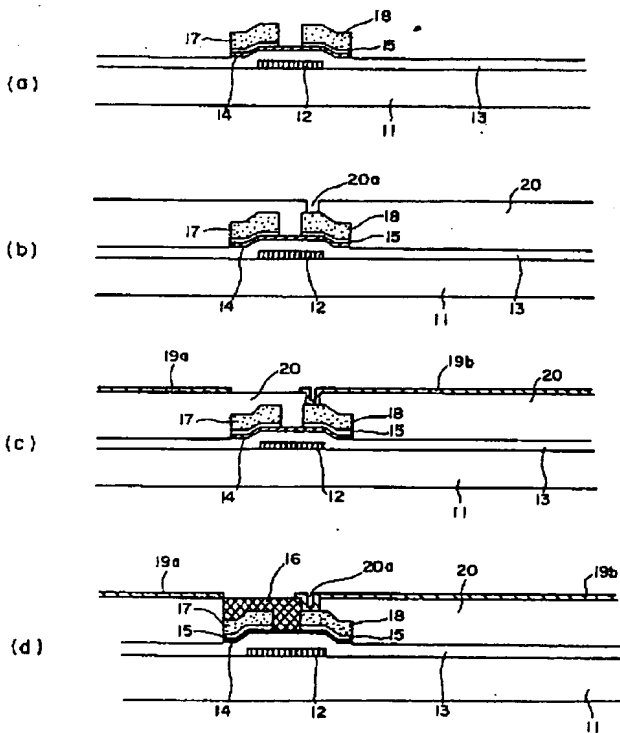
- 11・・・基板、
- 12・・・ゲート電極、
- 13・・・ゲート絶縁膜、
- 14・・・半導体膜、
- 15・・・n⁺アモルファスシリコン膜、
- 16、25・・・遮光部、
- 17・・・ドレイン電極、
- 18・・・ソース、
- 19a、19b、24a、24b
・・・画素電極、

20...22, 23...透明絶縁膜、
20a...コンタクトホール。

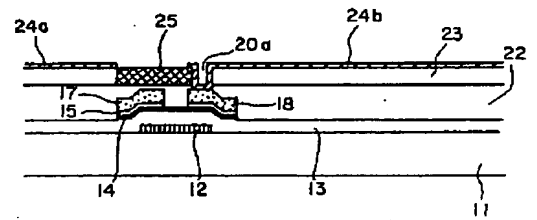
特許出願人 カシオ計算機株式会社



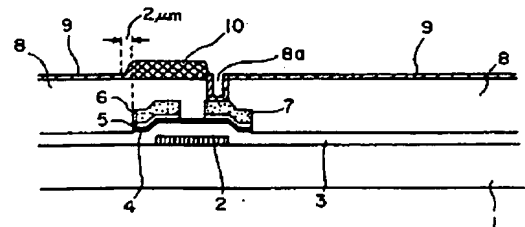
第 1 図



第 2 図



第 3 図



第 4 図